

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

In-Wook CHO et al. :

Serial No.: [NEW] : Mail Stop Patent Application

Filed: February 24, 2004 : Attorney Docket No. SEC.1132

For: METHOD OF MANUFACTURING A NON-VOLATILE
SEMICONDUCTOR MEMORY DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

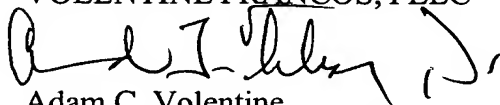
Appln. No. 10-2003-0011309 filed February 24, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


for Adam C. Volentine
Registration No. 33,289 Reg # 33,581

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 24, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0011309
Application Number

출원 년 월 일 : 2003년 02월 24일
Date of Application FEB 24, 2003

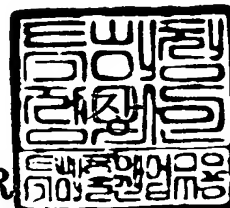
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.24
【발명의 명칭】	불 휘발성 메모리 소자의 형성 방법
【발명의 영문명칭】	Method of forming non-volatile memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	조인욱
【성명의 영문표기】	CHO, In Wook
【주민등록번호】	680821-1140615
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 서원마을 금호베스트빌3차 아파트 511- 702
【국적】	KR
【발명자】	
【성명의 국문표기】	이내인
【성명의 영문표기】	LEE, Nae In
【주민등록번호】	650210-1224318
【우편번호】	151-755
【주소】	서울특별시 관악구 봉천3동 관악현대아파트 113동 403호
【국적】	KR
【발명자】	
【성명의 국문표기】	고광욱
【성명의 영문표기】	KOH, Kwang Wook
【주민등록번호】	670214-1495518
【우편번호】	463-751

【주소】 경기도 성남시 분당구 불정동(정든마을) 동아2단지아파트 205동 1306 호
【국적】 KR
【발명자】
【성명의 국문표기】 배금종
【성명의 영문표기】 BAE, Geum Jong
【주민등록번호】 670814-1340511
【우편번호】 441-460
【주소】 경기도 수원시 권선구 금곡동 530번지 LG빌리지아파트 304동 1402호
【국적】 KR
【발명자】
【성명의 국문표기】 김상수
【성명의 영문표기】 KIM, Sang Su
【주민등록번호】 711223-1041811
【우편번호】 442-755
【주소】 경기도 수원시 팔달구 원천동 원천주공아파트 108동 703호
【국적】 KR
【발명자】
【성명의 국문표기】 김진희
【성명의 영문표기】 KIM, Jin Hee
【주민등록번호】 730408-2000118
【우편번호】 463-825
【주소】 경기도 성남시 분당구 수내동 104-8
【국적】 KR
【발명자】
【성명의 국문표기】 김성호
【성명의 영문표기】 KIM, Sung Ho
【주민등록번호】 720222-1559911
【우편번호】 447-010
【주소】 경기도 오산시 오산동 920-2 주공아파트 209-1004
【국적】 KR

【발명자】**【성명의 국문표기】**

김기철

【성명의 영문표기】

KIM, Ki Chul

【주민등록번호】

670815-1347516

【우편번호】

442-727

【주소】경기도 수원시 팔달구 영통동 신나무실주공5단지아파트
508-102**【국적】**

KR

【심사청구】

청구

【취지】특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규
에 의한 출원심사 를 청구합니다. 대리인
박영우 (인)**【수수료】****【기본출원료】**

20 면 29,000 원

【가산출원료】

18 면 18,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

18 항 685,000 원

【합계】

732,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

불 휘발성 메모리 소자의 형성방법이 개시되어 있다. 상기 방법은 기판 상에 ONO구조를 갖는 유전막 패턴을 형성한 후 유전막 패턴을 커버하는 제1폴리막 패턴을 형성한다. 이어서, 제1폴리막 패턴을 패터닝하여 상기 유전막 패턴의 소정영역을 노출시키고, 스플릿된 형상을 갖는 제2폴리막 패턴을 형성한다. 이어서, 제2폴리막 패턴에 의해 노출되는 상기 유전막 패턴을 식각한 후 제2폴리막 패턴을 이온주입 마스크로 적용하여 기판의 표면 아래로 불순물을 이온주입함으로써 상기 제2폴리막 패턴에 의해 노출되는 영역과 얼라인되고, 수직적 프로파일을 갖는 소오스/드레인 영역을 형성하는데 있다. 이렇게 형성된 소자는 프로그램의 효율을 증가시킬 뿐만 아니라 드레인 영역의 누설전류를 방지할 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

불 휘발성 메모리 소자의 형성 방법{Method of forming non-volatile memory device}

【도면의 간단한 설명】

도 1은 종래의 불 휘발성 메모리 소자의 SONOS 메모리 셀 구조를 나타내는 단면도이다.

도 2a 내지 2f는 종래의 불 휘발성 메모리 소자의 스플릿 구조를 갖는 SONOS 메모리 셀을 나타내는 공정 단면도이다.

도 3은 본 발명의 불 휘발성 메모리 소자의 스플릿 구조를 갖는 SONOS 메모리 셀의 형성방법을 나타내는 공정 순서도이다.

도 4a 내지 도 4i는 본 발명의 일 실시예로서 불 휘발성 메모리 소자의 스플릿 구조를 갖는 SONOS 메모리 셀의 형성방법을 설명하기 위한 공정 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

- 100 : 반도체 기판 101 : 소자 분리 패턴
- 102 : 게이트 산화막 104a : 하부 산화막 패턴
- 106a : 제1질화막 패턴 108a : 상부 산화막 패턴
- 110 : 유전막 패턴 120 : 제1폴리실리콘막
- 130a: 예비 소오스 영역 130b : 예비 드레인 영역
- 135 : 질화막 스페이서 140 : 제2포토리저스트 패턴

150 : 제3포토레지스트 패턴 160 : 제4포토레지스트 패턴

170 : 제5포토레지스트 패턴 180 : 제6포토레지스트 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 불 휘발성 메모리 소자의 제조방법에 관한 것으로, 보다 상세하게는 스플릿 구조를 갖는 SONOS 또는 MONOS 메모리 셀의 형성방법에 관한 것이다.
- <15> 반도체 메모리 소자는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile) 메모리 소자와 데이터를 입력하면 그 상태를 유지할 수 있는 불 휘발성 메모리 장치로 크게 구분할 수 있다.
- <16> 이러한 불 휘발성 메모리 소자는 고속으로 전기적 소거가 가능한 EEPROM의 진보된 형태로서, 파울러 노드하임(Fowler- Nordheim; 이하 "F-N"이라 한다) 터널링(tunneling) 또는 열전자(hot electron)를 이용하여 전기적으로 데이터의 입·출력을 제어하는 구조를 갖는다.
- <17> 그리고, 일반적인 불 휘발성 메모리의 프로그램 동작은, 컨트롤 게이트에 인가된 양(positive)의 전압이 플로팅-게이트에 커플링되어 F-N 터널링(tunneling) 또는 핫-캐리어 주입(hot-carrier injection)에 의해 기판으로부터 전자들이 터널 산화막을 거쳐 상기 플로팅 게이트 내로 포획(capture)되는 것을 원리로 한다. 이와 반대로, 소거(erase) 동작은 컨트롤 게이트에 인가된 음(negative)의 전압에 의

해 플로팅-게이트 내의 전자들이 기판으로 빠져나가는 것을 원리로 한다. 여기서, 프로그램 동작시 컨트롤 게이트에 인가된 전압에 의해 플로팅 게이트로 커플링되는 전압의 비율을 커플링 계수(coupling ratio)라 하며, 상기 커플링 계수가 높을수록 제품의 속도 및 성능이 향상되는 특성을 갖는다.

<18> 현재, 공정기술 측면에서 불 휘발성 메모리 소자(NVM : Nonvolatile Semiconductor Memories)기술은 크게 플로팅 게이트(Floating Gate)를 포함하는 플로팅 게이트 반도체 계열과 두 종류 이상의 유전막이 2중, 혹은 3중으로 적층된 MIS(Metal Insulator Semiconductor; 이하"MIS"라) 계열로 구분된다.

<19> 상기 플로팅 게이트 반도체 계열은 퍼텐셜 웰(Potential Well)을 이용하여 기억의 특성을 구현하며, 현재 플래시 EEPROM(Electrically Erasable Programmable Read Only Memory)으로 가장 널리 응용되고 있는 ETOX(EPROM Tunnel Oxide) 구조가 대표적인 예이다.

<20> 반면에, MIS 계열은 유전막 벌크, 유전막-유전막 계면 및 유전막-반도체 계면에 존재하는 트랩(trap)을 이용하여 기억 특성을 구현하며, 현재 플래시 EEPROM으로 주로 응용되고 있는 MONOS/SONOS(Metal/silicon Oxide-Nitride-Oxide Semiconductor)구조가 대표적인 예이다.

<21> 이하, 첨부된 도면을 참고하여 종래의 불 휘발성 메모리 소자를 설명하기로 한다.

<22> 도 1은 종래의 불 휘발성 메모리 소자의 SONOS 메모리 셀 구조를 나타내는 단면도이다.

- <23> 상기 도 1에 도시된 SONOS 메모리 셀의 게이트 전극은 반도체 기판(10)상에 유전층(20)과 컨트롤 게이트용 폴리막(22)이 적층된 구조를 갖는다. 그리고, 상기 게이트 전극의 양측부에 해당하는 반도체 기판(10)의 표면에는 소오스/드레인 영역(12a, 12b)이 형성되어 있다.
- <24> 여기서, 상기 유전층(20)은 제1산화막(14), 질화막(16) 및 제2산화막(18)을 순차적으로 적층된 ONO(Oxide-Nitride-Oxide)구조를 갖는다. 상기 제1산화막(14)은 터널링 산화막으로 이용되고, 제2산화막(16)은 블록킹 산화막으로 이용된다.
- <25> 상기와 같은 구조를 갖는 적층형 SONOS 메모리 셀의 구조는 단위 메모리 셀의 크기를 작게 형성할 수 있는 장점을 가지고 있으나, 상기 게이트 전극이 형성된 기판의 채널 영역(도시하지 않음)에는 ONO구조를 갖는 유전층(20)이 존재하기 때문에 초기의 문턱전압(Threshold Voltage; V_{th}) 및 프로그램 전류가 증가되는 문제점을 갖고 있다. 또한, 소자의 동작시 불완전한 데이터 소거(Incomplete Erase)가 발생될 수 있어, 데이터의 유지특성(Endurance)이 열화될 수 있는 문제점을 초래한다.
- <26> 상기 적층형 SONOS의 문제점을 해결하기 위한 구조를 갖는 SONOS 메모리 셀이 일본 공개특허 2000-201115호에 개시되어 있고, 컨트롤 게이트 하부에 유전막이 국부적으로 존재하는 스플릿 구조를 갖는 SONOS 메모리 셀이 미국등록특허 US6,011,725에 개시되어 있다.
- <27> 도 2a 내지 도 2f는 종래의 불휘발성 메모리 소자의 스플릿 구조를 갖는 SONOS 메모리 셀을 나타내는 공정 단면도이다.

- <28> 도 2a 및 도 2b를 참조하면, 기판(50) 상에 제1산화막(Oxide;54)/질화막(nitride;56)/제2산화막(Oxide;56)이 순차적으로 적층된 ONO 구조를 갖는 유전막 패턴(60)을 형성한다. 상기 유전막 패턴(60)은 불 휘발성 메모리 셀의 전자를 트랩(trap)하는 역할을 한다. 그리고, 상기 유전막 패턴(60)이 형성된 기판(50) 상에 균일한 두께를 갖는 폴리막(70)을 형성한다.
- <29> 도 2c 및 도 2d를 참조하면, 상기 폴리막(70) 상에 스플릿된 컨트롤 게이트 전극의 형성영역을 정의하는 식각마스크(도시하지 않음)를 형성한 후, 식각마스크에 의해 노출되는 폴리막(70)을 패턴닝 함으로써 상기 유전막 패턴(60)의 소정영역을 노출시키고, 스플릿 구조를 갖는 폴리막 패턴(70a)을 형성한다. 여기서, 상기 폴리막 패턴은 스플릿 구조를 갖는 불 휘발성 메모리 셀의 컨트롤 게이트에 해당한다.
- <30> 그리고, 식각마스크를 제거한 후 상기 폴리막 패턴(70a)을 이온주입 마스크로 적용하여 상기 유전막 패턴(60)이 존재하는 기판의 표면 아래 및 드레인 영역에 해당하는 기판의 표면 아래로 불순물을 이온 주입함으로써 예비 소오스/드레인 영역(52a,52b)을 형성한다.
- <31> 이때, 형성되는 예비 소오스 영역(52a)은 상기 유전막 패턴(60)을 고려한 이온 주입에너지 조건하에서 형성되기 때문에 이온 주입되는 불순물의 산포도가 넓게(broad)형성된다.
- <32> 도 2e 및 도 2f를 참조하면, 상기와 같은 결과물들이 형성된 기판(100) 상에 게이트 스페이서용 질화막(72)을 균일한 두께를 갖도록 형성한다. 그리고, 상기 스페이서용 질화막(72)에 에치백 공정을 수행함으로써 스플릿 구조를 갖는 폴리막 패턴(70a)의 측벽에만 존재하는 질화막 스페이서(72a)가 형성된다. 여기서, 상기 게이트 스페이서(72a)를

형성하기 위한 에치백 공정시 상기 유전막 패턴(60)을 분리시켜야 하기 때문에 상기 드레인 영역(32b)에 해당하는 기판이 과식각된다. 이로 인해, 상기 드레인 영역(32b)에 해당하는 기판의 표면에는 리세스(R)가 발생된다.

<33> 이후에, 상기 게이트 스페이서(72a)가 형성된 폴리막 패턴(70)을 이온주입 마스크로 적용하여 노출되는 예비 소오스/드레인 영역(32a, 32b)이 형성된 기판의 표면 아래로 고농도의 불순물을 이온주입공정을 수행함으로써 LDD구조를 갖는 소오스/드레인 영역(54a, 54b)이 형성된다.

<34> 그러나, 상기와 같은 방법으로 형성된 스플릿 구조를 갖는 SONOS 메모리 셀은 상기 소오스 영역의 프로파일이 넓게 형성되기 때문에 채널영역의 감소로 인한 프로그램의 효율을 저하시킨다. 또한, 상기 드레인 영역에 해당하는 기판의 리세스(R)로 인해 불 휘발성 메모리 소자의 누설전류가 발생되어 반도체 소자의 신뢰성을 저하시키는 문제점을 초래한다.

【발명이 이루고자 하는 기술적 과제】

<35> 따라서, 본 발명의 제1목적은 불 휘발성 메모리 소자의 동작시 핫-캐리어를 이용한 프로그램 효율의 특성을 향상시킬 수 있는 불 휘발성 메모리 소자의 형성방법을 제공하는데 있다.

<36> 본 발명의 제2목적은 불 휘발성 메모리 소자의 프로그램 효율의 증가 및 소오스/드레인 영역에 해당하는 기판의 리세스를 방지함으로써 누설전류를 억제할 수 있는 불 휘발성 메모리 소자의 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<37> 상술한 제1목적은 달성하기 위하여 본 발명은,

<38> 기판 상에 ONO구조를 갖는 유전막 패턴을 형성한 상기 기판 상에 상기 유전막 패턴을 커버하는 제1폴리막 패턴을 형성한다. 이어서, 상기 제1폴리막 패턴을 패터닝함으로써 상기 유전막 패턴의 소정영역을 노출시키고, 스플릿된 형상을 갖는 제2폴리막 패턴을 형성한다. 이어서, 상기 제2폴리막 패턴에 의해 노출되는 상기 유전막 패턴을 식각한다. 그리고, 상기 제2폴리막 패턴을 이온주입 마스크로 적용하여 기판의 표면 아래로 불순물을 이온주입함으로써 상기 제2폴리막 패턴에 의해 노출되는 영역과 얼라인되고, 수직적 프로파일을 갖는 소오스/드레인 영역을 형성하는 단계를 포함하는 불 휘발성 메모리 소자의 형성방법을 제공하는데 있다.

<39> 여기서, 상기 불 휘발성 메모리 소자는 스플릿 구조를 갖는 SONOS 메모리 셀을 나타낸다.

<40> 또한, 상기 제2목적은 달성하기 위한 본 발명은,

<41> 먼저, 기판 상에 ONO구조를 갖는 유전막 패턴을 형성한 후 상기 유전막 패턴에 의해 노출되는 기판을 산화시킨다. 이어서, 기판 상에 상기 유전막 패턴을 커버하는 제1폴리막 패턴을 형성한 후 상기 제1폴리막 패턴을 제1식각함으로써 상기 유전막 패턴의 소정영역을 노출시키고, 스플릿된 제2폴리막 패턴을 형성한다. 이어서, 상기 스플릿된 제2폴리막 패턴에 의해 노출되는 상기 유전막 패턴을 제2식각함으로써 소정의 두께를 갖는 제1유전막 패턴을 형성한다. 이어서, 상기 스플릿된 제2폴리막 패턴을 이온주입 마스크로 적용하여 상기 제1유전막 패턴이 존재하는 기판 및 상기 제2폴리막 패턴에 의해 노출

된 기판의 표면 아래로 불순물을 제1이온 주입함으로써 수직적 프로파일 갖는 예비 소오스/드레인 영역을 형성한다. 이어서, 상기 스플릿된 제2폴리막 패턴의 측벽에 스페이서를 형성한다. 그리고, 상기 결과물을 이온주입 마스크로 적용하여 상기 예비 소오스/드레인 영역이 형성된 기판의 표면 아래로 불순물을 제2이온 주입함으로써 소자의 동작시 프로그램 효율을 증가시키는 수직적 프로파일의 LDD 구조를 갖는 소오스/드레인 영역을 형성하는 단계를 포함하는 불 휘발성 메모리 소자의 형성방법을 제공하는데 있다.

<42> 여기서, 상기 불 휘발성 메모리 소자는 스플릿 구조를 갖는 SONOS 메모리 셀을 나타낸다.

<43> 본 발명에 의하면, 전자를 트랩하는 ONO 구조의 유전막을 식각한 후 소오스 영역을 형성하는 이온주입 공정을 수행한다. 이러한 방법으로 형성된 소오스 영역은 폴리막 패턴에 의해 노출되는 유전막 패턴의 영역과 유사한 선폭을 갖고, 수직적 프로파일을 갖기 때문에 종래의 문제점으로 지적되는 채널영역의 감소를 효과적으로 방지할 수 있다. 또한, 게이트 스페이서 형성 공정시 드레인 영역에 해당하는 기판의 손실을 방지함으로써 불 휘발성 메모리 소자의 누설전류를 효과적으로 방지 할 수 있다.

<44> 이하, 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

<45> 도 3은 본 발명의 불 휘발성 메모리 소자의 스플릿 구조를 갖는 SONOS 메모리 셀의 형성방법을 나타내는 공정 순서도이다.

<46> 도 3을 참조하면, 실리콘 기판 상에 STI 공정을 수행하여 소자분리막 패턴을 포함하는 반도체 기판을 마련한다.(S100)

- <47> 이어서, 상기 반도체 기판 상에 제1산화막(Oxide)/질화막(nitride)/제2산화막(Oxide)이 순차적으로 적층된 ONO 구조를 갖는 유전막을 형성한다.(S110) 여기서 상기 제1산화막, 질화막 및 제2산화막은 각각 30 내지 90Å 두께를 갖도록 형성하고, 바람직하게 40 내지 70Å의 두께를 갖도록 형성한다.
- <48> 이어서, 상기 유전막 상에 제1포토리소그래피 패턴을 형성한 후 이를 식각마스크로 적용하여 상기 유전막을 패터닝 함으로써 불 휘발성 메모리 셀의 전자를 트랩(trap)하는 유전막 패턴을 형성한다.(S120)
- <49> 이어서, 상기 제1포토리소그래피 패턴을 에칭 스트립공정을 적용하여 제거한 후 유전막 패턴에 의해 노출된 기판의 표면을 산화시켜 게이트 산화막을 형성한다.(S130)
- <50> 상기 유전막 패턴 및 게이트 산화막이 형성된 반도체 기판 상에 균일한 두께를 갖는 폴리막을 형성한다.(S140) 여기서, 상기 폴리막은 저압 화학 기상 증착(LPCVD) 방법에 의해 약 1200 내지 1800Å의 두께로 형성되고, 바람직하게는 약 1500Å의 두께로 형성된다..
- <51> 이어서, 상기 폴리막 상에 스플릿된 컨트롤 게이트 전극의 형성 영역을 정의하는 식각마스크를 형성한 후 식각마스크에 의해 노출되는 폴리막을 패터닝 함으로써 상기 유전막 패턴의 소정영역을 노출시키고, 스플릿 구조를 갖는 폴리막 패턴을 형성한다.(S150) 여기서, 상기 폴리막 패턴은 스플릿 구조를 갖는 불 휘발성 메모리 셀의 컨트롤 게이트에 해당한다.
- <52> 이어서, 상기 식각마스크를 제거한 후 상기 유전막 패턴에 해당하는 반도체 기판만을 노출시키는 제2포토리소그래피 패턴을 형성한다. 그리고, 상기 폴리막 패턴을 식각마

스크로 적용하여 상기 노출되는 유전막 패턴을 셀프 얼라인(Self-align)방식으로 소정의 두께만큼 식각한다.(S160)

<53> 이때, 상기 유전막 패턴은 상기 폴리막 패턴에 의해 노출되는 제1산화막 패턴 및 질화막 패턴만을 제거하는 것이 바람직하다.

<54> 상기와 같이 유전막 패턴을 일부분만을 제거하는 이유는 i) 수직적 프로파일을 갖는 소오스 영역을 형성하기 위한 이온주입 공정시 상기 유전막 패턴의 일부분이 반도체 기판의 손상을 방지하는 버퍼막의 역할과 ii) 상기 폴리막 패턴에 스페이서를 형성함과 동시에 상기 소오스 영역에 해당하는 반도체 기판을 노출시키기 위한 에치백 공정을 수행할 때 드레인 영역에 해당하는 반도체 기판의 손실을 효과적으로 방지할 수 있기 때문에 메모리 소자의 누설전류의 억제 및 소자의 신뢰성을 높일 수 있기 때문이다.

<55> 이어서, 상기 제2포토레지스트 패턴 및 폴리막 패턴을 이온주입 마스크로 적용하여 상기 제1유전막 패턴이 존재하는 반도체 기판의 표면 아래로 5족의 불순물을 제1이온 주입함으로써 프로그램의 효율을 증가시킬 수 있는 수직적 프로파일을 갖는 예비 소오스 영역을 형성한다.(S170)

<56> 여기서, 상기 본 발명의 수직적 프로파일을 갖는 예비 소오스 영역을 형성 방법은 종래와 달리 상기 유전막의 제1산화막 및 질화막이 제거된 상태에서 5족의 불순물을 이온 주입하는 공정을 수행하기 때문에 종래 보다 낮은 에너지 조건 하에서 이온주입공정이 수행된다. 상기 이온주입공정의 에너지 조건은 3 내지 15KeV이다.

<57> 이로 인해, 본 발명의 예비 소오스 영역은 폴리막 패턴에 의해 노출되는 유전막 패턴의 영역과 유사한 선폴을 갖고, 수직적 프로파일을 갖기 때문에 종래의 문제점으로 지

적되는 채널영역의 감소를 효과적으로 방지할 수 있다. 그리고, 상기 폴리막 패턴에 의해 노출되는 유전막 패턴에 포함된 제2산화막은 상기 이온주입공정시 제거된다.

<58> 이어서, 에싱 스트립공정을 적용하여 상기 제2포토레지스트 패턴을 제거한 후 드레인 영역이 형성될 기판을 노출시키는 제3포토레지스트 패턴을 형성한다. 그리고, 상기 제3포토레지스트 패턴을 이온주입 마스크로 적용하고, 상기 제3포토레지스트 패턴에 의해 노출되는 반도체 기판의 표면 아래로 5족 불순물을 제2이온주입시키는 공정을 수행함으로써 스플릿 구조를 갖는 불 휘발성 메모리 셀의 예비 드레인 영역을 형성한다.(S180)

<59> 이어서, 에싱 스트립공정을 적용하여 상기 제3포토레지스트 패턴을 제거한 후 상기 와 같은 결과물들이 형성된 반도체 기판 상에 게이트 스페이서용 질화막(SiN)을 형성한다.(S190) 여기서, 상기 질화막은 저압 화학 기상 증착(LPCVD) 방법에 의해 약 500 내지 1000 Å의 두께로 형성되고, 바람직하게는 약 700 Å의 두께로 형성된다.

<60> 이어서, 상기 게이트 스페이서용 질화막에 에치백 공정을 수행함으로써 스플릿 구조를 갖는 컨트롤 게이트에 해당하는 폴리막 패턴의 측벽에 질화막 스페이서를 형성한다.(S200)

<61> 이후에, 상기 게이트 스페이서가 형성된 폴리막 패턴을 이온주입 마스크로 적용하여 이로 인해 노출되는 예비 소오스/드레인영역이 형성된 기판의 표면 아래로 5족의 불순물을 제3이온주입공정을 수행함으로써 수직적 프로파일 및 LDD구조를 갖는 소오스/드레인 영역이 형성된다.(S210) 여기서, 상기 제3이온주입공정은 20 내지 50 KeV의 높은 에너지조건하에서 수행된다.

<62> 상술한 바와 같이 형성된 불 휘발성 메모리 셀은 상기 ONO 구조의 유전막이 컨트롤 게이트 하부 일부영역에만 존재하는 SONOS 또는 MONOS의 구조를 갖는 스플릿 게이트 소자이다.

<63> 그리고, 상기 SONOS 또는 MONOS의 구조를 갖는 스플릿 게이트의 소오스 영역은 유전막의 일부분을 식각한 후 종래 보다 낮은 이온주입에너지를 적용하여 형성되기 때문에 게이트 하부에 형성되는 채널영역을 보다 넓게 형성될 수 있도록 수직적 프로파일을 갖는다. 또한, 게이트 스페이서를 형성하는 공정시 유전막 패턴을 분리하는 식각공정을 수행하지 않아도 되기 때문에 드레인 영역에 해당하는 기판의 손실 방지로 인한 메모리 소자의 누설전류를 방지할 수 있다.

<64> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<65> 실시예 1

<66> 도 4a 내지 도 4l은 본 발명의 일 실시예로서 불 휘발성 메모리 소자의 스플릿 구조를 갖는 SONOS 메모리 셀의 형성방법을 설명하기 위한 공정 단면도들이다.

<67> 도 4a를 참조하면, 실리콘과 같은 물질로 이루어진 실리콘 기판(도시하지 않음) 상에 STI 공정 및 N웰 및 P웰을 형성하는 공정을 수행함으로써 소자분리막 패턴(101)을 포함하고, PMOS 영역, NMOS 영역, 셀 영역으로 구분되는 반도체 기판(100)을 형성한다.

<68> 도 4b를 참조하면, 상기 게이트 산화막(102)이 형성된 반도체 기판(100) 상에 유전막(도시하지 않음)을 형성한다. 여기서 상기 유전막은 하부 옥시나이트라이드막

(oxynitride)/제1질화막(nitride)/상부 산화막(Oxide)이 순차적으로 적층된 ONO 구조를 갖고있다.

<69> 이어서, 상기 셀 영역에 존재하는 유전막(도시하지 않음) 상에 불 휘발성 메모리 셀의 전자를 트랩(trap)하는 유전막 패턴(110)의 형성 영역을 정의하는 제1포토리티스트 패턴(130)을 형성한다.

<70> 이후에, 상기 제1포토리티스트 패턴(130)을 식각마스크로 적용하여 상기 제1포토리티스트 패턴(130)에 의해 노출되는 유전막을 건식식각 함으로써 상기 셀 영역에만 존재하는 유전막 패턴(110)을 형성한다. 여기서, 상기 유전막 패턴(110)은 약 40Å의 두께를 갖는 하부 옥시나이트라이드막 패턴(104a), 약 40 내지 60Å의 두께를 갖는 질화막 패턴(106a) 및 약 50 내지 100Å의 두께를 갖는 상부 산화막 패턴(108a)이 순차적으로 적층된 구조를 갖는다.

<71> 도 4c를 참조하면, 에칭 스트립공정을 적용하여 상기 제1포토리티스트 패턴을 제거한 후 상기 유전막 패턴에 의해 노출된 기판을 산화시켜 옥시나이트라이드막을 성장시킴으로써 로직 영역의 NMOS, PMOS 트랜지스터의 게이트 산화막(102)을 형성한다. 그리고, 상기 유전막 패턴(110) 및 게이트 산화막(102) 상에 균일한 두께를 갖는 제1폴리실리콘막(120)을 연속적으로 형성한다. 여기서 상기 제1폴리실리콘막(120)은 저압 화학 기상 증착(LPCVD) 방법에 의해 약 1500Å의 두께로 형성된다.

<72> 이어서, 도면에 도시되어 있지는 않지만, 상기 제1폴리실리콘막(120) 상에 반사방지막을 약 700Å의 두께로 형성한다.

- <73> 도 4d를 참조하면, 상기 제1폴리실리콘막 상에 NMOS 영역의 게이트 전극(115a), PMOS 영역의 게이트 전극(115a) 및 셀 영역의 스플릿된 컨트롤 게이트 전극 (120b)의 형성 영역을 정의하는 식각마스크(도시하지 않음)를 형성한다.
- <74> 이어서, 상기 식각마스크에 의해 노출되는 제1폴리실리콘막(120) 및 게이트 산화막(102)을 순차적으로 건식 식각 함으로써, NMOS 영역 및 PMOS 영역에 각각 존재하고, 제1폴리실리콘막 패턴(120a)과 게이트 산화막 패턴(102a)을 포함하는 게이트 전극 (115a) 및 셀 영역에 존재하고, 스플릿 구조를 갖는 제1폴리실리콘막 패턴(120b)을 형성한다. 여기서, 상기 셀 영역에 존재하는 제1폴리실리콘막 패턴(120b)은 스플릿 구조를 갖는 불 휘발성 메모리 셀의 컨트롤 게이트에 해당한다.
- <75> 이후에, 상기 식각마스크를 제거한 후 상기 제1폴리실리콘막 패턴(120a,120b)을 산화시킴으로써 상기 제1폴리실리콘막 패턴(120a,120b)의 표면에 자연 산화막(도시하지 않음)을 형성한다.
- <76> 도 4e를 참조하면, 상기 게이트 전극(115a) 및 상기 유전막 패턴(110)의 소정영역 노출시키는 제1폴리실리콘막 패턴(120b)이 형성된 기판 상에 상기 유전막 패턴(110)에 해당하는 영역만을 노출시키는 제2포토리티스트 패턴(140)을 형성한다.
- <77> 이어서, 상기 셀 영역의 제1폴리실리콘막 패턴(120b)을 식각마스크로 적용하여 상기 노출되는 유전막 패턴을 셀프 얼라인(Self-align)방식으로 식각한다. 이때, 상기 유전막 패턴은 상기 제1폴리실리콘막 패턴(120b)에 의해 노출되는 상부 산화막 패턴 및 제1절화막 패턴만을 제거하는 것이 바람직하다.

- <78> 상기와 같이 유전막 패턴을 일부분만을 제거하는 제1이유는 이후, 수직적 프로파일을 갖는 소오스 영역(132a)을 형성하기 위한 이온주입 공정시 상기 유전막 패턴의 일부분이 반도체 기판(100)의 손상을 방지하는 버퍼막의 역할을 하기 때문이다.
- <79> 또한, 상기와 같이 유전막 패턴을 일부분만을 제거하는 제2이유는 이후, 상기 제1폴리막 패턴에 스페이서를 형성함과 동시에 상기 소스영역에 해당하는 기판을 노출시키기 위한 에치백 공정을 수행할 때 상기 드레인 영역에 해당하는 기판의 손실을 효과적으로 방지하여 메모리 소자의 누설전류를 억제 및 소자의 신뢰성을 높일 수 있기 때문이다.
- <80> 이후에, 상기 제2포토레지스트 패턴(140) 및 제1폴리실리콘막 패턴(120b)을 이온주입 마스크로 적용하여 상기 제1유전막 패턴(110a)이 존재하는 반도체 기판(100)의 표면 아래로 비소(As)이온을 5 내지 10KeV의 에너지로 제1이온주입공정을 수행한다.
- <81> 이로 인해, 상기 제1폴리실리콘막 패턴(120b)에 의해 노출되는 제1유전막 패턴(110a)의 영역과 유사한 선폭을 갖고, 프로그램 효율을 높일 수 있는 수직적 프로파일을 갖는 예비 소오스 영역(132a)이 형성된다. 이때 상기 제1폴리실리콘 패턴(120b)에 의해 노출되는 제1유전막 패턴(110a)의 하부 산화막 패턴(104a)은 이온주입공정시에 제거된다.
- <82> 도 4f를 참조하면, 에칭 스트립공정을 적용하여 상기 제2포토레지스트 패턴(140)을 제거한 후 상기 NMOS 영역에 해당하는 반도체 기판(100)만을 노출시키는 제3포토레지스트 패턴(150)을 형성한다.

- <83> 이어서, 상기 NMOS 영역에 형성되어 있는 게이트 전극(115a)들을 이온주입 마스크로 적용하고, 상기 반도체 기판(100)의 표면 아래로 인(P)이온을 15 내지 25KeV의 에너지 조건하에서 제2이온주입공정을 수행함으로써 상기 게이트 전극(115a)의 예비 소오스/드레인 영역(132a, 132b)을 형성한다.
- <84> 도 4g를 참조하면, 에칭 스트립공정을 적용하여 상기 제3포토레지스트 패턴(150)을 제거한 후 상기 PMOS 영역에 해당하는 반도체 기판(100)만을 노출시키는 제4포토레지스트 패턴(160)을 형성한다.
- <85> 이어서, 상기 PMOS 영역에 형성되어 있는 게이트 전극(115a)을 이온주입 마스크로 적용하고, 상기 반도체 기판(100)의 표면 아래로 붕소(B)이온을 15 내지 25KeV의 에너지 하에서 제3이온주입공정을 수행함으로써 상기 게이트 전극(115b)의 예비 소오스/드레인 영역(132a, 132b)을 형성한다.
- <86> 도 4h 및 도 4i를 참조하면, 에칭 스트립공정을 적용하여 상기 제4포토레지스트 패턴(160)을 제거한 후 상기과 같은 결과물들이 형성된 기판 상에 약 700Å의 두께를 갖는 게이트 스페이서용 실리콘질화막(SiN)을 연속적으로 형성한다.
- <87> 이어서, 상기 게이트 스페이서용 실리콘질화막(도시하지 않음)에 에치백 공정을 수행함으로써 상기 PMOS 영역 및 NMOS 영역의 게이트 전극(115a, 115b)의 양 측벽에 스페이서(135)가 형성된다. 또한, 상기 셀 영역에 존재하며, 스플릿된 컨트롤 게이트에 해당하는 제1폴리실리콘막 패턴(120b)의 측벽에 스페이서(135)가 형성된다.

- <88> 상기 도면에는 도시되지 않았지만, 상기 스페이서(135)를 형성하기 위한 에치백 공정을 수행할 때 상기 반도체 기판(100)의 손상을 방지하기 위해서는 상기 실리콘 질화막을 형성하기 전에 약 100Å이 두께의 버퍼용 산화막을 더 형성하는 것이 바람직하다.
- <89> 도 4j를 참조하면, 상기 PMOS 영역에 해당하는 반도체 기판(100)만을 커버하는 제5 포토레지스트 패턴(170)을 형성한다.
- <90> 이어서, NMOS 영역 및 셀 영역에 형성되고 스페이서를 포함하는 게이트 전극들을 이온주입 마스크로 적용하고, 예비 소오스/드레인(132a/132b)영역이 형성된 기판의 표면 아래로 비소(As)이온을 30 내지 4KeV의 에너지조건 하에서 제5이온주입시키는 공정을 수행한다. 이로 인해, 수직적 프로파일 및 LDD구조를 갖는 소오스/드레인 영역(134a, 134b)이 형성된다.
- <91> 도 4k 및 도 4l을 참조하면, 에칭 스트립공정을 적용하여 상기 제5포토레지스트 패턴을 제거한 후 상기 NMOS 영역 및 셀 영역 해당하는 반도체 기판(100)만을 커버하는 제6포토레지스트 패턴(180)을 형성한다.
- <92> 이어서, PMOS 영역에서 스페이서를 포함하는 게이트 전극(115a)을 이온주입 마스크로 적용하고, 예비 소오스/드레인(132a/132b)영역이 형성된 반도체 기판(100)의 표면 아래로 붕소(B)이온을 3 내지 5KeV의 에너지조건 하에서 제6이온주입시키는 공정을 수행하여 고농도의 소오스/드레인 영역(도시하지 않음)을 형성한다.
- <93> 이로 인해, 수직적 프로파일 및 LDD구조를 갖는 소오스/드레인 영역(134a, 134b)이 형성된다.

【발명의 효과】

- <94> 상술한 바와 같이 본 발명에 의하면, 폴리막 패턴에 의해 노출되는 유전막 패턴의 일부를 식각한 후 식각된 유전막 패턴을 버퍼산화막으로 사용하여 이온주입 공정을 수행함으로써 프로그램의 효율을 높일수 있는 수직적 프로파일을 갖는 소오스 영역을 형성할 수 있다.
- <95> 또한, 게이트 스페이서를 형성하는 공정시 상기 유전막 패턴을 분리하는 식각공정을 수행하지 않아도 되기 때문에 드레인 영역에 해당하는 기판을 손실 방지할 수 있어 불 휘발성 메모리 소자의 누설전류 방지할 수 있다.
- <96> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

- (a) 기판 상에 ONO구조를 갖는 유전막 패턴을 형성하는 단계;
- (b) 상기 기판 상에 상기 유전막 패턴을 커버하는 제1폴리막 패턴을 형성하는 단계;
- (c) 상기 제1폴리막 패턴을 패터닝함으로써 상기 유전막 패턴의 소정영역을 노출시키고, 스플릿된 형상을 갖는 제2폴리막 패턴을 형성하는 단계;
- (d) 상기 제2폴리막 패턴에 의해 노출되는 상기 유전막 패턴을 식각하는 단계; 및
- (e) 상기 제2폴리막 패턴을 이온주입 마스크로 적용하여 기판의 표면 아래로 불순물을 이온주입함으로써 상기 제2폴리막 패턴에 의해 노출되는 영역과 얼라인 되고, 수직적 프로파일을 갖는 소오스/드레인 영역을 형성하는 단계를 포함하는 불 휘발성 메모리 소자의 형성방법.

【청구항 2】

제1항에 있어서, 상기 유전막 패턴은 상기 기판 상에 소자분리 공정, 웰 및 채널영역을 형성하기 위한 이온주입 공정을 수행한 이후에 형성되는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 3】

제1항에 있어서, 상기 유전막 패턴의 형성방법은,

상기 기판 상에 20 내지 100Å의 두께를 갖는 하부 산화막을 형성하는 단계;

상기 하부 산화막 상에 20 내지 100Å의 두께를 갖는 제1절화막을 형성하는 단계;

상기 제1질화막 상에 20 내지 100Å의 두께를 갖는 상부 산화막을 형성하는 단계;

상기 상부 산화막 상에 상기 유전막 패턴의 형성영역을 정의하는 식각마스크를 형성하는 단계; 및

상기 식각마스크에 의해 노출되는 상부 산화막, 제1질화막 및 하부 산화막을 순차적으로 식각하는 단계를 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 4】

제1항에 있어서, 상기 유전막 패턴을 형성한 이후 상기 유전막 패턴에 의해 노출되는 기판을 산화시켜 게이트 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성 방법.

【청구항 5】

제1항에 있어서, 상기 제2폴리막 패턴을 형성한 이후, 상기 제2폴리막 패턴의 표면을 산화시키는 단계를 더 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 6】

제1항에 있어서, 상기 유전막 패턴의 식각은 상기 셀프 얼라인 식각공정이고, 상기 유전막 패턴의 노출된 영역을 소정의 두께를 갖도록 식각하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 7】

제1항에 있어서, 상기 소오스/드레인 영역은 LDD 구조를 갖도록 형성되는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 8】

제7항에 있어서, 상기 LDD 구조를 갖는 소오스/드레인 영역의 형성 방법은,
상기 제2폴리막 패턴에 의해 노출된 기판의 표면 아래로 불순물을 제1이온 주입시킴으로써 예비 소오스/드레인 영역을 형성하는 단계;

상기 결과물 상에 스페이서용 질화막을 균일한 두께를 갖도록 연속적으로 형성하는 단계;

상기 스페이서용 질화막에 에치백 공정을 수행함으로써 상기 제1폴리막 패턴의 측벽에 스페이서를 형성하는 단계; 및

상기 스페이서가 형성된 제2폴리막 패턴을 이온주입 마스크로 적용하여 기판의 표면 아래로 불순물을 제2이온주입함으로써 LDD구조를 갖는 소오스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 9】

제8항에 있어서, 상기 제1이온주입 공정은 3 내지 15KeV의 낮은 에너지조건 하에서 5족 불순물을 이온주입하는 것이며, 상기 제2이온주입 공정은 20 내지 50 KeV의 높은 에너지조건 하에서 5족 불순물을 이온주입하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 10】

제1항에 있어서, 상기 (e)단계를 수행함으로써 형성되는 불 휘발성 메모리 소자는 스플릿 구조를 갖는 SONOS 또는 MONOS 메모리 셀인 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 11】

- (a) 기판 상에 ONO구조를 갖는 유전막 패턴을 형성하는 단계;
- (b) 상기 유전막 패턴에 의해 노출되는 기판을 산화시키는 단계;
- (c)상기 기판 상에 상기 유전막 패턴을 커버하는 제1폴리막 패턴을 형성하는 단계;
- (d) 상기 제1폴리막 패턴을 제1식각함으로써 상기 유전막 패턴의 소정영역을 노출시키고, 스플릿된 형상을 갖는 제2폴리막 패턴을 형성하는 단계;
- (e) 상기 제2폴리막 패턴에 의해 노출되는 상기 유전막 패턴을 제2식각함으로써 소정의 두께를 갖는 제1유전막 패턴을 형성하는 단계;
- (f) 상기 제2폴리막 패턴을 이온주입 마스크로 적용하여 상기 제1유전막 패턴이 존재하는 기판 및 상기 제2폴리막 패턴에 의해 노출된 기판의 표면 아래로 불순물을 제1이온주입함으로써 수직적 프로파일 갖는 예비 소오스/드레인 영역을 형성하는 단계;
- (g)상기 제2폴리막 패턴의 측벽에 스페이서를 형성하는 단계; 및
- (h) 상기 결과물을 이온주입 마스크로 적용하여 상기 예비 소오스/드레인 영역이 형성된 기판의 표면 아래로 불순물을 제2이온 주입함으로써 수직적 프로파일의 LDD 구조를 갖는 소오스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 12】

제11항에 있어서, 상기 유전막 패턴은 상기 기판 상에 소자분리 공정, 웰 및 채널 영역을 형성하기 위한 이온주입 공정을 수행한 이후에 형성되는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 13】

제11항에 있어서, 상기 유전막 패턴의 형성방법은,

상기 기판 상에 20 내지 100Å의 두께를 갖는 하부 산화막을 형성하는 단계;

상기 하부 산화막 상에 20 내지 100Å의 두께를 갖는 제1질화막을 형성하는 단계;

상기 제1질화막 상에 20 내지 100Å의 두께를 갖는 상부 산화막을 형성하는 단계;

상기 상부 산화막 상에 상기 유전막 패턴의 형성영역을 정의하는 식각마스크를 형성하는 단계; 및

상기 식각마스크에 의해 노출되는 상부 산화막, 제1질화막 및 하부 산화막을 순차적으로 식각하는 단계를 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 14】

제11항에 있어서, 상기 제2폴리막 패턴을 형성한 이후, 상기 제2폴리막 패턴의 표면을 산화시키는 단계를 더 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 15】

제11항에 있어서, 상기 제1유전막 패턴은 상기 제2폴리막 패턴을 식각마스크로 적용하여 셀프얼라인 식각 방법을 수행함으로써 형성되고, 이온주입공정시 기판의 손상을 방지하는 버퍼막의 역할을 하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 16】

제11항에 있어서, 상기 스페이서의 형성 방법은

상기 스플릿된 제2폴리막 패턴이 형성된 기판 상에 균일한 두께를 갖는 스페이서용 질화막을 연속적으로 형성하는 단계; 및

상기 스페이서용 질화막에 에치백 공정을 수행함으로써 상기 스플릿된 제2폴리막 패턴의 측벽에만 존재하는 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 17】

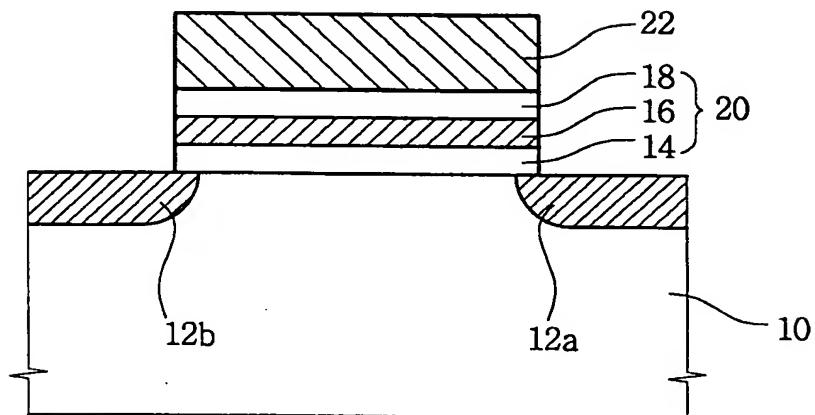
제11항에 있어서, 상기 제1이온주입 공정은 3 내지 15KeV의 낮은 에너지조건 하에서 5족 불순물을 이온 주입하는 것이며, 상기 제2이온주입 공정은 20 내지 50 KeV의 높은 에너지조건 하에서 5족 불순물을 이온 주입하는 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【청구항 18】

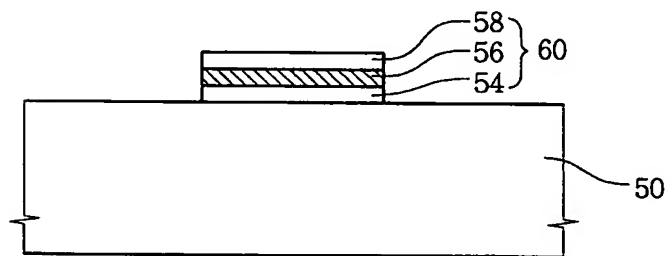
제11항에 있어서, 상기 (h)단계를 수행함으로써 형성되는 불 휘발성 메모리 소자는 스플릿 구조를 갖는 SONOS 또는 MONOS 메모리 셀인 것을 특징으로 하는 불 휘발성 메모리 소자의 형성방법.

【도면】

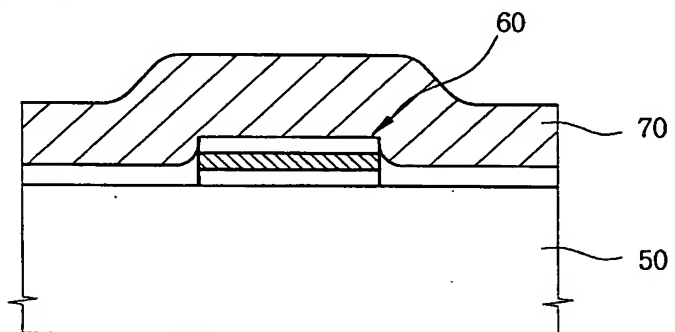
【도 1】



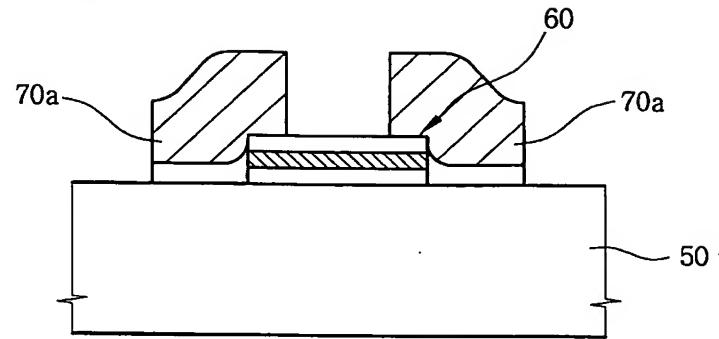
【도 2a】



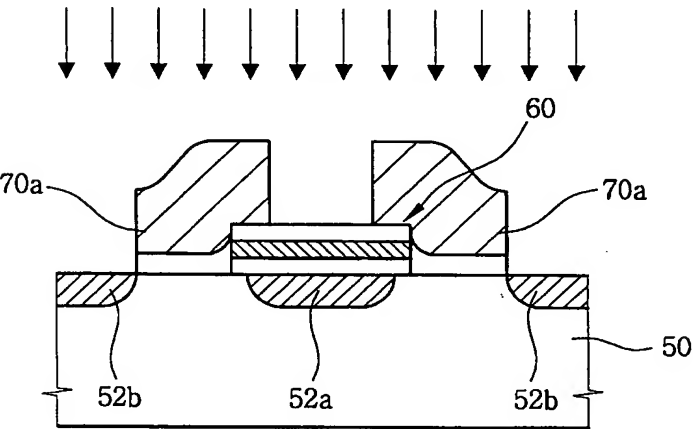
【도 2b】



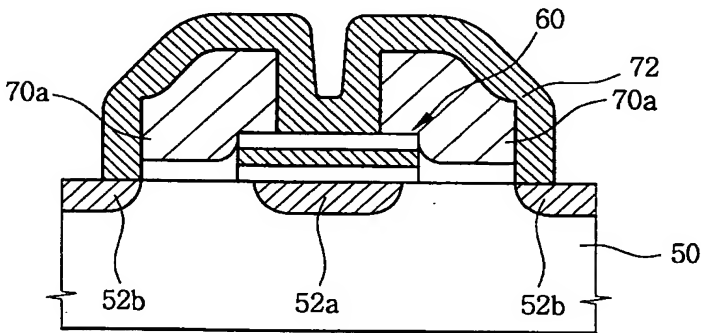
【도 2c】



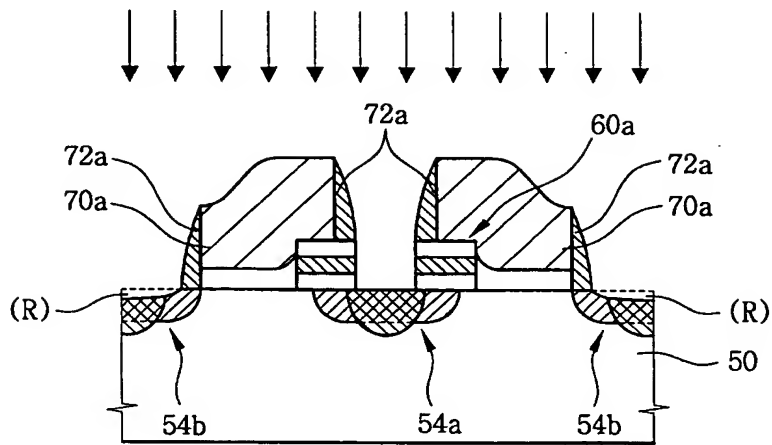
【도 2d】



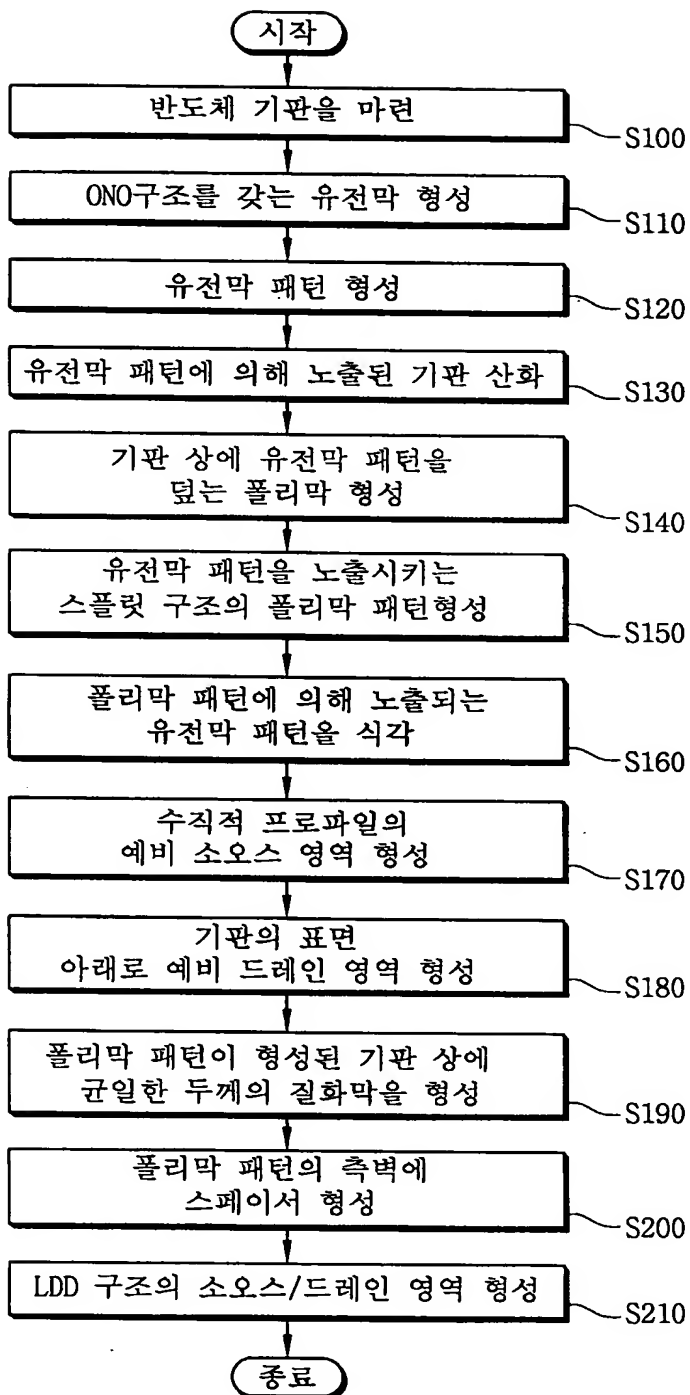
【도 2e】



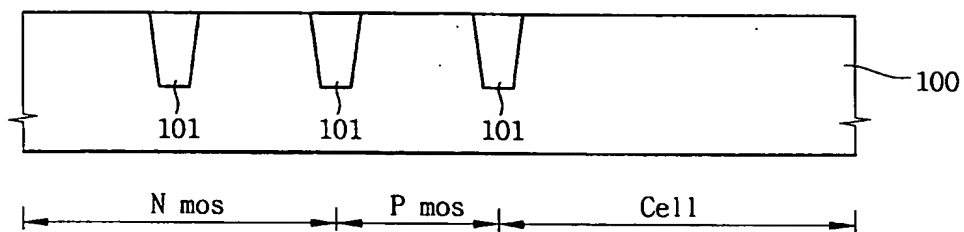
【도 2f】



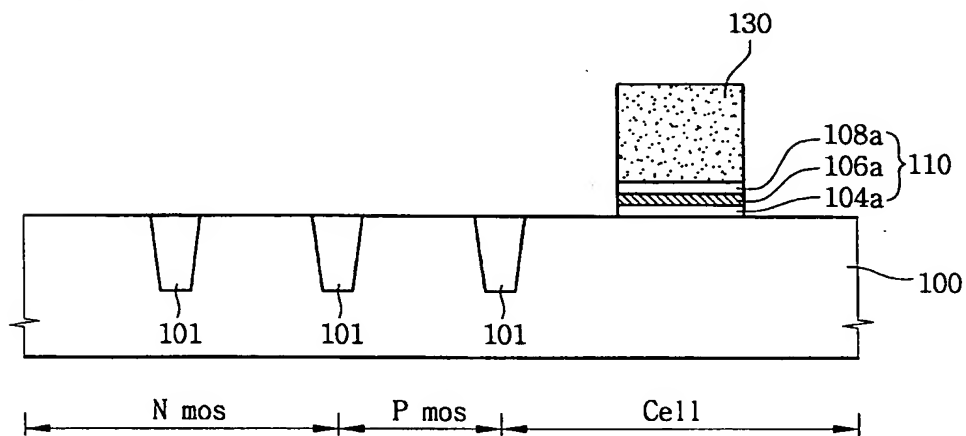
【도 3】



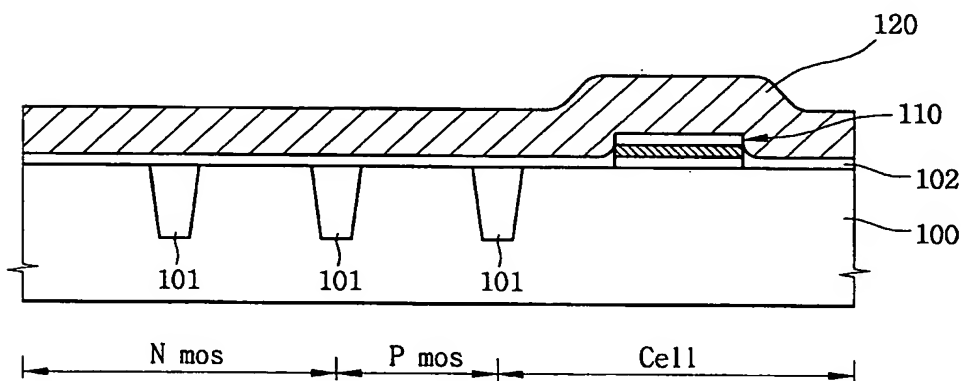
【도 4a】



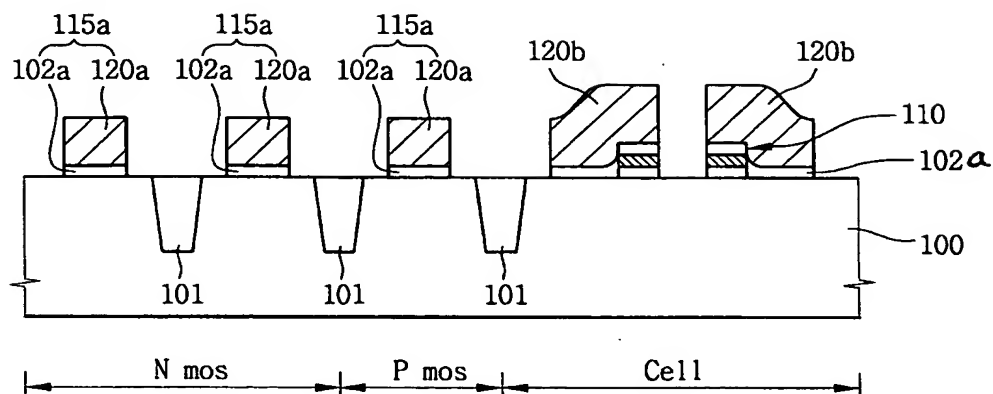
【도 4b】



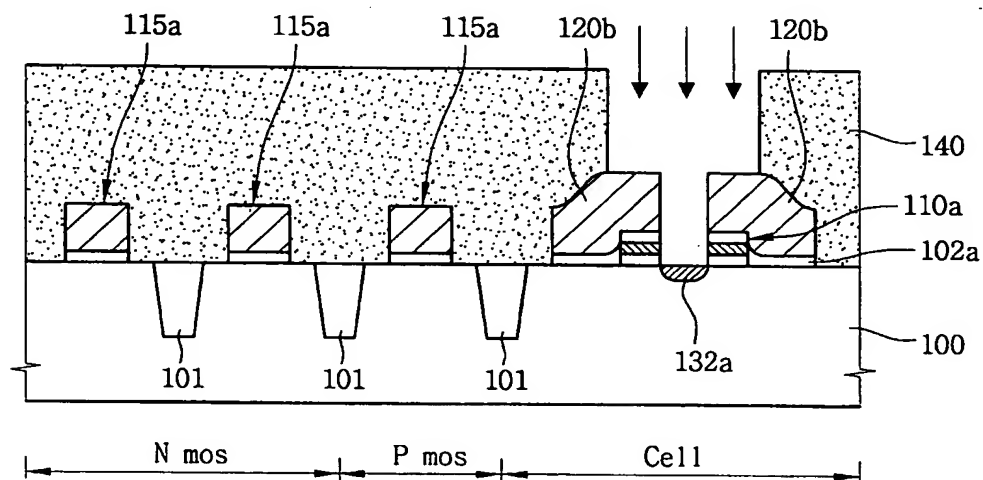
【도 4c】



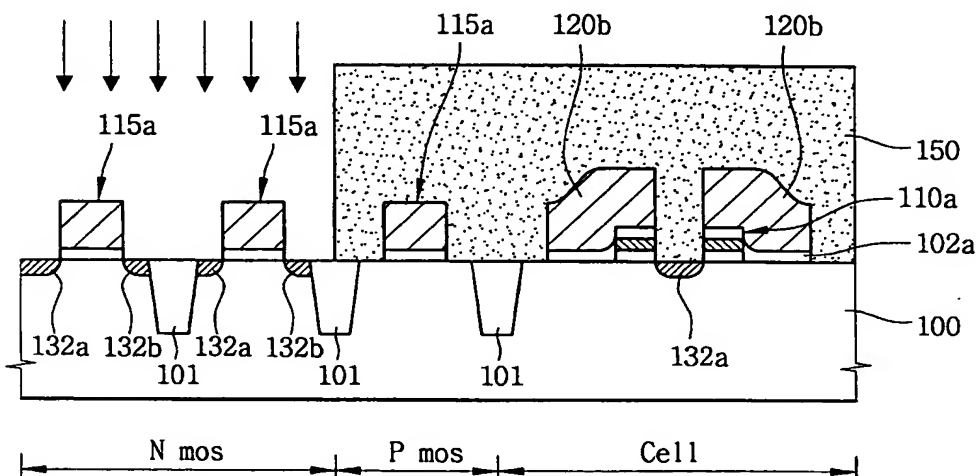
【도 4d】



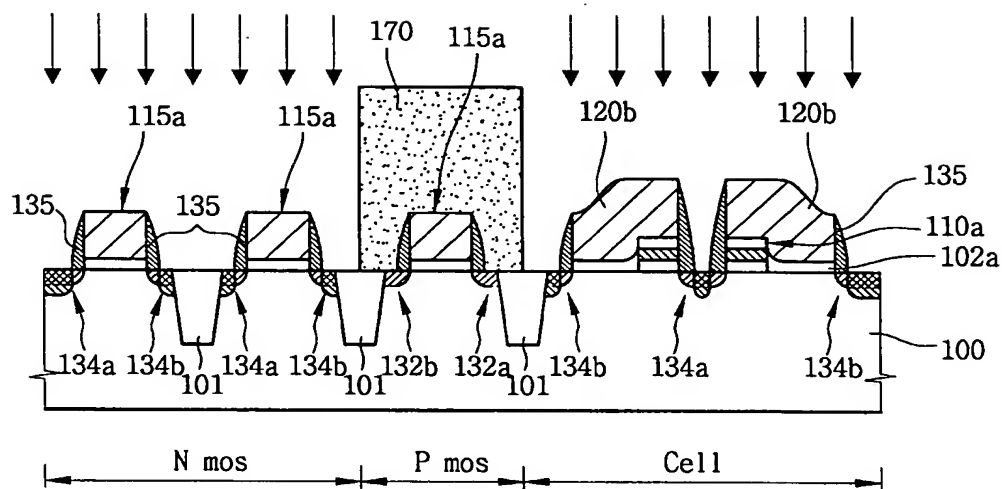
【도 4e】



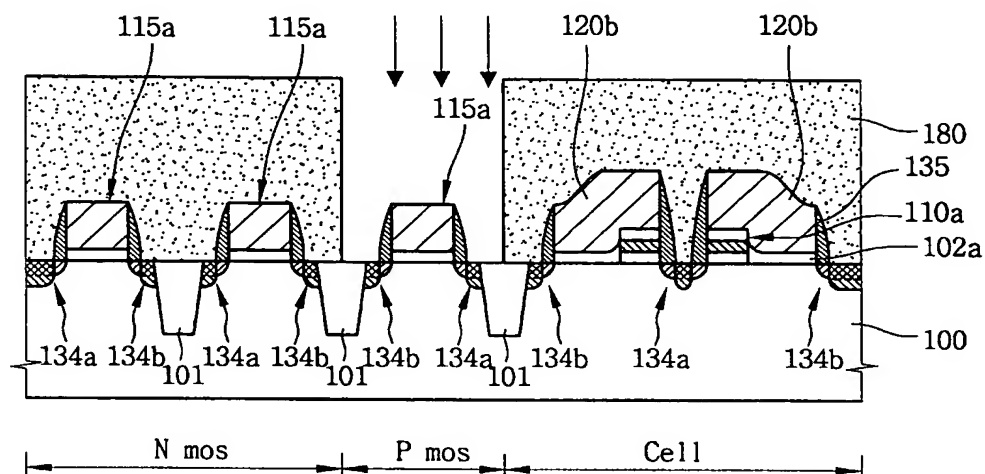
【도 4f】



【도 4j】



【도 4k】



【도 4l】

